

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-230540

(43)Date of publication of application : 16.08.2002

(51)Int.Cl.

G06T 1/20

G06F 15/16

G06T 7/60

(21)Application number : 2001-026301

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 02.02.2001

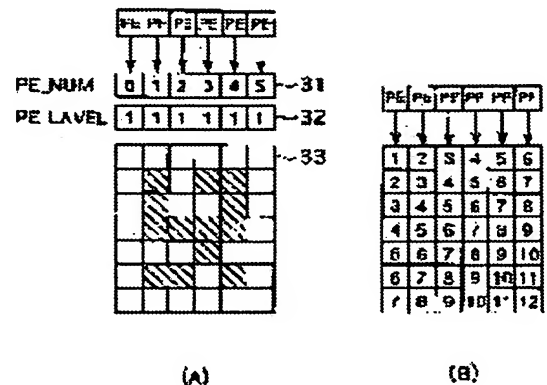
(72)Inventor : AKAMATSU MANABU

## (54) IMAGE PROCESSING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To efficiently carry out a temporary labeling process on which connection information for the same line is reflected when the temporary labeling process is carried out using a one-dimensional SIMD type processor.

**SOLUTION:** When the temporary labeling process using the one-dimensional SIMD type processor is carried out for an image having four connections, each PE of the SIMD type processor carries out the temporary labeling process by consulting, in parallel with each diagonal pixel of an arrangement of pixels for an input image 33, label values already attached to an adjacent pixel which is one pixel higher than the diagonal pixel and to another adjacent pixel which is one pixel left to the diagonal pixel, while consulting the PE number of a PE-NUM 31. To attach a new label to a pixel of interest which is processed by each PE, a label value for each individual PE is attached based on the label value of a PE-LABEL 32.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-230540

(P2002-230540A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーム(参考)
G 0 6 T 1/20		G 0 6 T 1/20	B 5 B 0 4 5
G 0 6 F 15/16	6 1 0	G 0 6 F 15/16	6 1 0 A 5 B 0 5 7
G 0 6 T 7/60	1 1 0	G 0 6 T 7/60	1 1 0 5 L 0 9 6

審査請求 未請求 請求項の数3 O L (全 12 頁)

(21) 出願番号 特願2001-26301(P2001-26301)

(22) 出願日 平成13年2月2日(2001.2.2)

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 赤松 学

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム(参考) 5B045 AA01 GG14

5B057 CH04 CH08 DB02 DC14

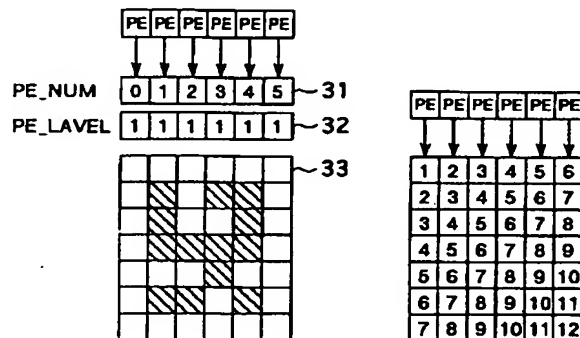
5L096 GA14 GA34 LA01 LA14

(54) 【発明の名称】 画像処理方法

(57) 【要約】

【課題】 1次元S I M D型プロセッサを用いて仮ラベリング処理を行う場合において、同一ラインの連結情報を反映した仮ラベリング処理を効率良く行う。

【解決手段】 4連結の画像に対して1次元S I M D型プロセッサを用いて仮ラベリング処理を実施する場合に、S I M D型プロセッサの各P Eは、P E \_ N U M 3 1のP E番号を参照しつつ、入力画像3 3の画素配列における斜め方向の画素ごとに並列に、1画素上の隣接画素と1画素左の隣接画素に対して既に付されたラベル値を参照して仮ラベリング処理を行うとともに、各P Eが処理する注目画素に対して新たなラベルを付す場合には、P E \_ L A B E L 3 2のラベル値に基づいてP E独自のラベル値を付すようにする。



(A)

(B)

## 【特許請求の範囲】

【請求項1】 入力画像中における連結画素成分に対するラベリング処理を1次元SIMD型プロセッサを用いて並列に行う画像処理方法であって、

前記1次元SIMD型プロセッサの複数のプロセッサエレメントに対して入力画像の画素配列における斜め方向の画素ごとに並列に、隣接画素に対して既に付されたラベルを参照して前記ラベリング処理を行うとともに、各プロセッサエレメントが処理する注目画素に対して新たなラベルを付する場合には当該プロセッサエレメント独自のラベルを付けることを特徴とする画像処理方法。

【請求項2】 前記入力画像の画素配列における斜め方向の角度は任意に設定可能であることを特徴とする請求項1記載の画像処理方法。

【請求項3】 前記入力画像の画素配列における斜め方向の角度は、当該画素配列における垂直方向および水平方向それぞれの画素数と前記複数のプロセッサエレメントそれぞれに対応したプロセッサエレメント番号とに基づいて決定されることを特徴とする請求項1または請求項2記載の画像処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力画像中において画素が連結する連結画素成分ごとに異なるラベルを付けるラベリング処理を行う画像処理方法に関し、特に1次元SIMD(Single Instruction stream Multiple Data stream)型プロセッサを用いてラベリング処理における仮ラベリング処理を行う画像処理方法に関するものである。

## 【0002】

【従来の技術】2値画像処理の基礎手法の一つとして、連結画素成分ごとに異なるラベルを付けるラベリング処理が知られている。このラベリング処理の概念について図26を用いて説明する。ここでは、4連結におけるラベリング処理の場合を例に採っている。

【0003】図26(A)に示す例えば2値画像からなる入力画像に対し、連結している画素に同一のラベルを付するラベリング処理として、まず、同図(B)に点線の矢印で示す処理順序に沿って注目画素に対して順次仮ラベルを付す。このとき、同図(C)に示すように、異なる仮ラベル(本例では、画素Pのラベル)が同一の連結画像と判断した場合、その異なるラベルが同一であるということを示す同一ラベル情報(本例では、<1, 2>)として保持する仮ラベリング処理を実施する。そして、その仮ラベルと上記同一ラベル情報とから、同図(D)に示すように、再度ラベルを付する再ラベリング処理を実施する。

【0004】このように、仮ラベリング処理と再ラベリング処理とからなるラベリング処理において、仮ラベリング処理での演算処理を、1次元SIMD型プロセッサ

を用いて行うようにした技術が知られている(例えば、特開平7-192130号公報参照)。この従来技術では、1次元SIMD型プロセッサに入力された1ライン分の画素に対して主走査方向の連結情報については主走査方向に連続している画素の画素数(ラン)を基に演算することで、仮ラベリング処理での演算処理の高速化を図っている。

## 【0005】

【発明が解決しようとする課題】ところで、1次元SIMD型プロセッサは、基本的に、プロセッサエレメント(以下、PEと略称する)が1次元状に多数配列された構成となっている。そして、各PEは同時に同一の命令を実行するようになっている。したがって、同一ラインの前画素の処理結果を利用して注目画素について処理する逐次処理をSIMD型プロセッサで高速に実行するのは難しい。

【0006】このような観点から、上述した従来技術では、特開平7-192130号公報におけるラン(主走査方向に連続している画素の画素数)を算出するためには、同一ラインにおける前画素の情報を基に算出する処理を行わなければならないことから、仮ラベリング処理においてSIMD型プロセッサの有効性を十分に引き出すことは困難であると考えられる。

【0007】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、1次元SIMD型プロセッサを用いて仮ラベリング処理を行う場合において、同一ラインの連結情報を反映した仮ラベリング処理を効率良く実施可能な画像処理方法を提供することにある。

## 【0008】

【課題を解決するための手段】本発明では、入力画像中における連結画素成分に対するラベリング処理を1次元SIMD型プロセッサを用いて並列に行う画像処理において、1次元SIMD型プロセッサの複数のPEに対して入力画像の画素配列における斜め方向の画素ごとに並列に、隣接画素に対して既に付されたラベルを参照してラベリング処理を行うとともに、各PEが処理する注目画素に対して新たなラベルを付する場合には当該PE独自のラベルを付けるようにする。

【0009】入力画像の画素配列における斜め方向の画素ごとに並列にラベリング処理を行うことで、注目画素の連結の有無かを判定するのに必要な隣接画素については、注目画素よりも先にラベリング処理が行われる。したがって、注目画素については、隣接画素に対して既に付されたラベルを参照してラベリング処理を行うことで、同一ラインの前画素の情報を基にラン(主走査方向に連続している画素の画素数)を算出する処理を行わなくて済むため、1次元SIMD型プロセッサを用いて同一ラインの連結情報を反映した仮ラベリング処理を有効に実施できる。しかも、各PEが処理する注目画素に対

して新たなラベルを付する場合には、当該PE独自のラベルを付けることで、異なる連結画素成分に対して必ず異なるラベルを付与できる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0011】図1は、本発明による画像処理方法が適用される画像処理装置の構成例を示すブロック図である。本例に係る画像処理装置は、例えば2値画像からなる入力画像に対して注目画素に順次仮ラベル（例えば、番号）を付する仮ラベリング処理部11と、この仮ラベリング処理11での処理結果に基づいて再度ラベルを付する再ラベリング部12とを有する構成となっている。

【0012】この画像処理装置において、仮ラベリング処理部11は、1次元SIMD型プロセッサを用いて仮ラベリング処理を並列に行う。具体的には、注目画素に対して順次仮ラベルを付し、異なる仮ラベルが同一の連結画像と判断した場合に、異なるラベルが同一であるということを示す同一ラベル情報として保持する。再ラベリング部12は、仮ラベリング処理部11での仮ラベルと同一ラベル情報とから再度ラベルを付する。

【0013】図2に、1次元SIMD型プロセッサの構造の一例を示す。このSIMD型プロセッサは、複数個のPE（プロセッサエレメント）からなるプロセッサエレメント群21と、PE数と同じ段数の転送段からなるデータ入力レジスタ22と、同様にPE数と同じ段数の転送段からなるデータ出力レジスタ23とを有する構造となっている。

【0014】本発明による画像処理方法は、上記構成の画像処理装置において、1次元SIMD型プロセッサを用いて実施される仮ラベリング処理部11での具体的な処理方法、即ち仮ラベリング処理の処理方法の特徴としている。以下、その具体的な実施形態について説明する。

【0015】なお、本例に係る画像処理装置は、図3(A)に示すように、1次元SIMD型プロセッサの各PEがそれぞれ参照できる記憶領域PE\_NUM31（以下、単にPE\_NUM31と記す）と記憶領域PE\_LABEL32（以下、単にPE\_LABEL32と記す）とを有するメモリ(図示せず)を具備するものとする。ここで、PE\_NUM31は各PEそれぞれを区別するため割り振られたPE番号を保持する領域であり、PE\_LABEL32は各PE毎のラベル値を保持する領域である。

【0016】【第1実施形態】先ず、本発明による画像処理方法の第1実施形態について説明する。この第1実施形態では、4連結の画像に対して仮ラベリング処理を実施する場合について説明する。

【0017】ここで、4連結とは、図4(A)に示すように、注目画素に対して上下左右のいずれかの画素と連

結している状態をいう。この4連結の場合には、注目画素に対して図の左から右へ、また図の上から下へ順に走査が行われることから、図4(B)に示すように、注目画素に対して1画素上の隣接画素と1画素左の隣接画素の2つの隣接画素についての情報さえあれば、注目画素が連結しているか否か判定することができる。

【0018】本実施形態において、PE\_NUM31およびPE\_LABEL32の初期値を次のように設定する。つまり、図3(A)に示すように、左端のPEに対応するPE\_NUM31を“0”として右向きに“1”，“2”，…とし、PE\_LABEL32はすべて“1”とする。

【0019】図3(B)は、図3(A)の入力画像33の画素配列において、各画素に対する各PEにおける処理順序を示したものである。すなわち、図3(B)の処理順序において、同一の数字はその数字に対応した入力画像の各画素について各PEが同時に処理することを意味している。ここで、この処理順序のように、各PEに対して各画素の処理順序を斜め方向に選択した理由は、図4(B)に示すように、4連結の場合に注目画素に対して1画素上の隣接画素と1画素左の隣接画素の情報さえあれば、注目画素の連結の有無を判定することができるためである。

【0020】すなわち、入力画像33の画素配列に対して同一に処理する画素を図3(B)の処理順序のように選択すると、注目画素に対して必要な情報、即ち注目画素に対して1画素上の隣接画素と1画素左の隣接画素の情報を事前に知ることができる。図3(B)の処理順序については、PE\_NUM31のPE番号と入力画像の画素配列における主走査方向（水平方向）および副走査方向（垂直方向）の画素数で決定することができる。

【0021】また、入力画像の画素配列において、各PEに対して各画素の処理順序を斜め方向に選択するには、SIMD型プロセッサは図2には示していないが、各PEが参照できるメモリ領域を有していることから、例えば、このメモリ領域に入力画像データをあらかじめ所定ライン数分だけ格納しておき、プロセッサの制御のもとに、画素配列におけるPE\_NUM31のPE番号に対応する列ごとに、処理順序が同一の斜め方向の各画素の情報をPE\_NUM31に読み出すようにすれば良い。

【0022】図5は、図3(B)の処理順序における3番目の処理を模式的に示したものである。図5(A)において、実線51は各PEが処理する画素の位置を示しており、画素52は有効画素である。図5(B)は、図3(B)の処理順序における3番目の処理後の仮ラベル値を示したものである。

【0023】図3(A)に示した入力画像33に対して図3(B)の処理順序で処理した場合、1番目および2番目の処理時には有効画素は存在せず、3番目で初めて

有効画素が現れる。有効画素が存在しない場合、仮ラベル値は“00”を付加することとする。また、有効画素52に対してその1画素上の位置と1画素左の位置には有効画素が存在しないため、新たに仮ラベル値“11”を付加する。

【0024】仮ラベルの値は、PE\_NUM31とPE\_LABEL32との組み合わせで決定する。つまり、最初の“1”はPE\_NUM31の値であり、次の

“1”はPE\_LABEL32の値とする。PE\_NUM31=“1”のPEにおいて新しいラベルを付加したのでPE\_NUM31=“1”に対応したPEにおけるPE\_LABEL32を“1”から“2”に変更する。

【0025】図6は、図3(B)の処理順序における4番目の処理を模式的に示したものである。図6(A)において、実線61は各PEが処理する画素の位置を示しており、画素62は有効画素である。図6(B)は、図3(B)の処理順序における4番目の処理後の仮ラベル値を示したものである。

【0026】有効画素62に対してその1画素上の位置に有効画素52が存在するため、当該有効画素52の仮ラベル値“11”を有効画素62に付加する。この際、仮ラベル値“11”は有効画素52の値を伝播したものである、PE\_NUM31=“1”に対応したPEにおけるPE\_LABEL32は変更しない。

【0027】図7は、図3(B)の処理順序における5番目の処理を模式的に示したものである。図7(A)において、実線71は各PEが処理する画素の位置を示しており、画素72および73は有効画素である。図7(B)は、図3(B)の処理順序における5番目の処理後の仮ラベル値を示したものである。

【0028】有効画素72に対してその1画素上の位置に有効画素62が存在するため、当該有効画素62の仮ラベル値“11”を有効画素72に付加する。この際、仮ラベル値“11”は有効画素62の値を伝播したものである、PE\_NUM=“1”に対応したPEにおけるPE\_LABELは変更しない。

【0029】また、有効画素73に対してその1画素上の位置と1画素左の位置には有効画素が存在しないため、新たに仮ラベル値“31”を付加する。この仮ラベルの値は、PE\_NUM31とPE\_LABEL32との組み合わせで決定する。つまり、最初の“3”はPE\_NUM31の値であり、次の“1”はPE\_LABEL32の値とする。PE\_NUM31=“3”のPEにおいて新しいラベルを付加したのでPE\_NUM31=“3”に対応したPEにおけるPE\_LABEL32を“1”から“2”に変更する。

【0030】図8は、図3(B)の処理順序における6番目の処理を模式的に示したものである。図8(A)において、実線81は各PEが処理する画素の位置を示しており、画素82、83は有効画素である。図8(B)

は、図3(B)の処理順序における6番目の処理後の仮ラベル値を示したものである。

【0031】有効画素82に対してその1画素左の位置に有効画素72が存在するため、当該有効画素72の仮ラベル値“11”を有効画素82に付加する。この際、仮ラベル値“11”は有効画素72の値を伝播したものである、PE\_NUM=“2”に対応したPEにおけるPE\_LABEL32は変更しない。また、有効画素83に対してその1画素左の位置に有効画素73が存在するため、当該有効画素73の仮ラベル“31”を有効画素83に付加する。この際、仮ラベル値“31”は有効画素73の値を伝播したものである、PE\_NUM=“4”に対応したPEにおけるPE\_LABEL32は変更しない。

【0032】図9は、図3(B)の処理順序における7番目の処理を模式的に示したものである。図9(A)において、実線91は各PEが処理する画素の位置を示しており、画素92、93、94は有効画素である。図9(B)は、図3(B)の処理順序における7番目の処理後の仮ラベル値を示したものである。

【0033】有効画素92に対してその1画素左の位置に有効画素82が存在するため、当該有効画素82の仮ラベル値“11”を有効画素92に付加する。この際、仮ラベル値“11”は有効画素82の値を伝播したものである、PE\_NUM=“3”に対応したPEにおけるPE\_LABEL32は変更しない。また、有効画素93に対してその1画素上の位置に有効画素83が存在するため、当該有効画素83の仮ラベル“31”を有効画素93に付加する。この際、仮ラベル値“31”は有効画素83の値を伝播したものである、PE\_NUM=“4”に対応したPEにおけるPE\_LABEL32は変更しない。

【0034】また、有効画素94に対してその1画素上の位置と1画素左の位置には有効画素が存在しないため、新たに仮ラベル値“12”を付加する。この仮ラベルの値は、PE\_NUM31とPE\_LABEL32との組み合わせで決定する。つまり、最初の“1”はPE\_NUM31の値であり、次の“2”はPE\_LABEL32の値とする。PE\_NUM31=“1”のPEにおいて新しいラベルを付加したので、PE\_NUM31=“1”に対応したPEにおけるPE\_LABEL32を“2”から“3”に変更する。

【0035】図10は、図3(B)の処理順序における8番目の処理を模式的に示したものである。図10

(A)において、実線101は各PEが処理する画素の位置を示しており、画素102、103、104は有効画素である。図10(B)は、図3(B)の処理順序における8番目の処理後の仮ラベル値および同一ラベル情報を示したものである。

【0036】有効画素102に対してその1画素上の位

置に有効画素92が存在するため、当該有効画素92の仮ラベル値“11”を有効画素102に付加する。この際、仮ラベル値“11”は有効画素92の値を伝播したものであるため、PE\_NUM=“3”に対応したPEにおけるPE\_LABEL32は変更しない。

【0037】また、有効画素103に対してその1画素左の位置に有効画素92が、1画素上の位置に有効画素93が存在する。ここで、有効画素92の仮ラベル値“11”と有効画素93の仮ラベル値“31”とは異なるが、有効画素103にて連結していることが分かったため、同一ラベル情報<11, 31>を保持し、有効画素103の仮ラベル値は“11”とする。この際、仮ラベル値“11”は有効画素92の値を伝播したものであるため、PE\_NUM=“4”に対応したPEにおけるPE\_LABEL32は変更しない。

【0038】また、有効画素104に対してその1画素左の位置に有効画素94が存在するため、当該有効画素94の仮ラベル値“12”を有効画素104に付加する。この際、仮ラベル値“12”は有効画素94の値を伝播したものであるため、PE\_NUM=“2”に対応したPEにおけるPE\_LABEL32は変更しない。

【0039】図3(B)の処理順序における9番目の処理では有効画素が存在しないため、仮ラベル値として“00”を付加する。

【0040】図11は、図3(B)の処理順序における10番目の処理を模式的に示したものである。図11(A)において、実線111は各PEが処理する画素の位置を示しており、画素112は有効画素である。図11(B)は、図3(B)の処理順序における10番目の処理後の仮ラベル値を示したものである。

【0041】有効画素112に対してその1画素上の位置と1画素左の位置には有効画素が存在しないため、新たに仮ラベル値“41”を付加する。この仮ラベルの値は、PE\_NUM31とPE\_LABEL32との組み合わせで決定する。つまり、最初の“4”はPE\_NUM31の値であり、次の“1”はPE\_LABEL32の値とする。また、PE\_NUM31=“4”のPEにおいて、新しいラベルを付加したのでPE\_NUM31=“4”に対応したPEにおけるPE\_LABEL32を“1”から“2”に変更する。

【0042】図3(B)の処理順序における11番目および12番目の処理では有効画素が存在しないため、仮ラベル値として“00”を付加する。

【0043】上述した一連の処理手順により、その全処理終了後の仮ラベルおよび同一ラベル情報は、図12に示したようになる。また、同一ラベル情報<11, 31>が保持される。

【0044】このように、4連結の画像に対して1次元SIMD型プロセッサを用いて仮ラベリング処理を実施するに際し、入力画像の画素配列における斜め方向の画

素ごとに並列に仮ラベリング処理を行うことで、同一ラインの前画素の情報を基にランを算出する処理を行わなくて済むため、1次元SIMD型プロセッサを用いて同一ラインの連結情報を反映した仮ラベリング処理を有効に行うことができる。しかも、各PEが処理する注目画素に対して新たなラベルを付する場合には、当該PE独自のラベルを付けることで、異なる連結画素成分に対して必ず異なるラベルを付与できるため、4連結における仮ラベル処理を正しく実施できる。

【0045】[第2実施形態] 次に、本発明による画像処理方法の第2実施形態について説明する。この第2実施形態では、8連結の画像に対して仮ラベリング処理を実施する場合について説明する。

【0046】ここで、8連結とは、図13(A)に示すように、注目画素に対して周辺8画素のいずれかの画素と連結している状態をいう。この8連結の場合には、注目画素に対して図の左から右へ、また図の上から下へ順に走査が行われることから、図13(B)に示すように、注目画素に対して位置131、132、133、134の4つの隣接画素の情報さえあれば、注目画素が連結しているか否か判定することができる。

【0047】本実施形態において、PE\_NUM31およびPE\_LABEL32の初期値を次のように設定する。つまり、図14(A)に示すように、左端のPEに対応するPE\_NUM31を“0”として右向きに“1”、“2”、…とし、PE\_LABEL32はすべて“1”とする。

【0048】図14(B)は、図14(A)の入力画像33の画素配列において、各画素に対する各PEにおける処理順序を示したものである。すなわち、図14(B)の処理順序において、同一の数字はその数字に対応した入力画像の各画素について各PEが同時に処理することを意味している。ここで、この処理順序のように、各PEに対して各画素の処理順序を斜め方向に選択した理由は、図13(B)に示すように、8連結の場合には注目画素に対して位置131、132、133、134の4つの隣接画素の情報さえあれば、注目画素の連結の有無を判定することができるためである。

【0049】すなわち、入力画像の画素配列に対して同一に処理する画素を図14(B)の処理順序のように選択すると、注目画素に対して必要な情報、即ち4つの隣接画素131、132、133、134の情報を事前に知ることができる。図14(B)の処理順序については、PE\_NUM31のPE番号と入力画像の画素配列における主走査方向および副走査方向の画素数で決定することができる。

【0050】図14(A)に示した入力画像に対して図14(B)の処理順序で処理した場合、1番目、2番目および3番目の処理時には有効画素は存在せず、4番目で初めて有効画素が現れる。有効画素が存在しない場

合、仮ラベルは“00”を付加することとする。

【0051】図15は、図14(B)の処理順序における4番目の処理を模式的に示したものである。図15(A)において、実線151は各PEが処理する画素の位置を示しており、画素152は有効画素である。なお、点線153は各PEに対して処理順序を斜め方向に選択する際に、各PEが処理を行わない画素の位置を示しており、以下、図16～図24においても同様とする。図15(B)は、図14(B)の処理順序における4番目の処理後の仮ラベル値を示したものである。

【0052】有効画素152に対して図13(B)に示す参照領域131、132、133、134の各位置には有効画素が存在しないため、新たに仮ラベル値“11”を付加する。この仮ラベルの値は、PE\_NUM31とPE\_LABEL32との組み合わせで決定する。つまり、最初の“1”はPE\_NUM31の値であり、次の“1”はPE\_LABEL32の値とする。PE\_NUM31=“1”のPEにおいて新しいラベルを付加したのでPE\_NUM31=“1”に対応したPEにおけるPE\_LABEL32を“1”から“2”に変更する。

【0053】図14(B)の処理順序における5番目の処理時には有効画素は存在せず、仮ラベルは“00”を付加する。

【0054】図16は、図14(B)の処理順序における6番目の処理を模式的に示したものである。図16(A)において、実線161は各PEが処理する画素の位置を示しており、画素162、163は有効画素である。図16(B)は、図14(B)の処理順序における6番目の処理後の仮ラベル値を示したものである。

【0055】有効画素162に対して図13(B)に示す参照領域132の位置に有効画素152が存在するため、当該有効画素152の仮ラベル値“11”を有効画素162に付加する。この際、仮ラベル値“11”は有効画素152の値を伝播したものであるため、PE\_NUM31=“1”に対応したPEにおけるPE\_LABEL32は変更しない。

【0056】また、有効画素163に対して図13(B)に示す参照領域131、132、133、134の各位置には有効画素が存在しないため、新たに仮ラベル値“31”を付加する。この仮ラベルの値は、PE\_NUM31とPE\_LABEL32との組み合わせで決定する。つまり、最初の“3”はPE\_NUM31の値であり、次の“1”はPE\_LABEL32の値とする。PE\_NUM31=“1”のPEにおいて新しいラベルを付加したのでPE\_NUM31=“3”に対応したPEにおけるPE\_LABEL32を“1”から“2”に変更する。

【0057】図17は、図14(B)の処理順序における7番目の処理を模式的に示したものである。図17

(A)において、実線171は各PEが処理する画素の位置を示しており、画素172は有効画素である。図17(B)は、図14(B)の処理順序における7番目の処理後の仮ラベル値を示したものである。

【0058】有効画素172に対して図13(B)に示す参照領域134の位置に有効画素163が存在するため、当該有効画素163の仮ラベル値“31”を有効画素172に付加する。この際、仮ラベル値“31”は有効画素163の値を伝播したものであるため、PE\_NUM31=“4”に対応したPEにおけるPE\_LABEL32は変更しない。

【0059】図18は、図14(B)の処理順序における8番目の処理を模式的に示したものである。図18(A)において、実線181は各PEが処理する画素の位置を示しており、画素182は有効画素である。図18(B)は、図14(B)の処理順序における8番目の処理後の仮ラベル値を示したものである。

【0060】有効画素182に対して図13(B)に示す参照領域132の位置に有効画素162が存在するため、当該有効画素162の仮ラベル値“11”を有効画素182に付加する。この際、仮ラベル値“11”は有効画素162の値を伝播したものであるため、PE\_NUM31=“1”に対応したPEにおけるPE\_LABEL32は変更しない。

【0061】図19は、図14(B)の処理順序における9番目の処理を模式的に示したものである。図19(A)において、実線191は各PEが処理する画素の位置を示しており、画素192、193は有効画素である。図19(B)は、図14(B)の処理順序における9番目の処理後の仮ラベル値を示したものである。

【0062】有効画素192に対して図13(B)に示す参照領域131、134の位置に有効画素182、152が存在し、これら画素182、152の仮ラベルの値が共に“11”であるため、有効画素192には仮ラベル値“11”を付加する。この際、仮ラベル値“11”は有効画素182または162の値を伝播したものであるため、PE\_NUM31=“2”に対応したPEにおけるPE\_LABEL32は変更しない。

【0063】また、有効画素193に対して図13(B)に示す参照領域131、132の位置に有効画素163、172が存在し、これら画素163、172の仮ラベルの値が共に“31”であるため、有効画素193には仮ラベル値“31”を付加する。この際、仮ラベル値“31”は有効画素163または172の値を伝播したものであるため、PE\_NUM31=“4”に対応したPEにおけるPE\_LABEL32は変更しない。

【0064】図20は、図14(B)の処理順序における10番目の処理を模式的に示したものである。図20(A)において、実線201は各PEが処理する画素の位置を示しており、画素202は有効画素である。図2



0 (B) は、図14 (B) の処理順序における10番目の処理後の仮ラベル値を示したものである。

【0065】有効画素202に対して図13 (B) に示す参照領域134の位置に有効画素192と参照領域133の位置に193が存在する。有効画素192の仮ラベル値“11”と有効画素193の仮ラベル値“31”とは異なるが、有効画素202にて連結していることが分かったため、同一ラベル情報<11, 31>を保持し、有効画素202の仮ラベル値は“11”とする。この際、仮ラベル値“11”は有効画素192の値を伝播したものであるため、PE\_NUM31 = “3”に対応したPEにおけるPE\_LABEL32は変更しない。

【0066】図21は、図14 (B) の処理順序における11番目の処理を模式的に示したものである。図21 (A) において、実線211は各PEが処理する画素の位置を示しており、画素212は有効画素である。図21 (B) は、図14 (B) の処理順序における11番目の処理後の仮ラベル値を示したものである。

【0067】有効画素212に対して図13 (B) に示す参照領域132の位置に有効画素193と参照領域134の位置に有効画素202が存在する。有効画素202の仮ラベル値“11”と有効画素193の仮ラベル値“31”とは異なるが、10番目の処理で仮ラベル“11”と仮ラベル“31”とは同一のものと判断されたため、有効画素212の仮ラベル値は“11”とする。この際、仮ラベル値“11”は有効画素202の値を伝播したものであるため、PE\_NUM31 = “4”に対応したPEにおけるPE\_LABEL32は変更しない。

【0068】図22は、図14 (B) の処理順序における12番目の処理を模式的に示したものである。図22 (A) において、実線221は各PEが処理する画素の位置を示しており、画素222、223は有効画素である。図22 (B) は、図14 (B) の処理順序における12番目の処理後の仮ラベル値を示したものである。

【0069】有効画素222に対して図13 (B) に示す参照領域131、132、133の各位置に有効画素192、202、212が存在し、これら画素192、202、212の各仮ラベル値はすべて“11”であるため、有効画素222には仮ラベル値“11”を付加する。この際、仮ラベル値“11”は有効画素192、202、212の値を伝播したものであるため、PE\_NUM31 = “3”に対応したPEにおけるPE\_LABEL32は変更しない。

【0070】また、有効画素223に対して図13 (B) に示す参照領域131、132、133、134の各位置には有効画素が存在しないため、新たに仮ラベル値“12”を付加する。この仮ラベルの値はPE\_NUM31とPE\_LABEL32との組み合わせで決定する。つまり、最初の“1”はPE\_NUM31の値であり、次の“2”はPE\_LABEL32の値とする。

PE\_NUM31 = “1”のPEにおいて新しいラベルを付加したのでPE\_NUM31 = “1”に対応したPEにおけるPE\_LABEL32を“2”から“3”に変更する。

【0071】図23は、図14 (B) の処理順序における13番目の処理を模式的に示したものである。図23 (A) において、実線231は各PEが処理する画素の位置を示しており、画素232は有効画素である。図23 (B) は、図14 (B) の処理順序における13番目の処理後の仮ラベル値を示したものである。

【0072】有効画素232に対して図13 (B) に示す参照領域134の位置に有効画素223と参照領域133の位置に有効画素222が存在する。有効画素222の仮ラベル値“11”と有効画素223の仮ラベル値“12”とは異なるが、有効画素232にて連結していることが分かったため、同一ラベル情報<11, 12>を保持し、有効画素232の仮ラベル値は“11”とする。この際、仮ラベル値“11”は有効画素222の値を伝播したものであるため、PE\_NUM31 = “2”に対応したPEにおけるPE\_LABEL32は変更しない。

【0073】図14 (B) の処理順序における14番目の処理時には有効画素は存在せず、仮ラベルは“00”を付加する。

【0074】図24は、図14 (B) の処理順序における15番目の処理を模式的に示したものである。図24 (A) において、実線241は各PEが処理する画素の位置を示しており、画素242は有効画素である。図24 (B) は、図14 (B) の処理順序における15番目の処理後の仮ラベル値を示したものである。

【0075】有効画素242に対して図13 (B) に示す参照領域131の位置に有効画素222が存在するため、当該有効画素222の仮ラベル値“11”を有効画素242に付加する。この際、仮ラベル値“11”は有効画素222の値を伝播したものであるため、PE\_NUM31 = “4”に対応したPEにおけるPE\_LABEL32は変更しない。

【0076】図14 (B) の処理順序における16番目、17番目および18番目の処理では有効画素が存在しないため、仮ラベル値として“00”を付加する。

【0077】上述した一連の処理手順により、その全処理終了後の仮ラベルおよび同一ラベル情報は、図25に示したようになる。また、同一ラベル情報<11, 31>、<11, 12>が保持される。

【0078】このように、8連結の画像に対して1次元SIMD型プロセッサを用いて仮ラベリング処理を実施するに際し、入力画像の画素配列における斜め方向の画素ごとと並列に仮ラベリング処理を行うことで、4連結の場合と同様に、1次元SIMD型プロセッサを用いて同一ラインの連結情報を反映した仮ラベリング処理を有



効に行うことができ、しかも各PEが処理する注目画素に対して新たなラベルを付する場合には、当該PE独自のラベルを付けることで、8連結における仮ラベル処理を正しく実施できる。

【0079】

【発明の効果】以上説明したように、本発明によれば、1次元SIMD型プロセッサを用いて同一ラインの連結情報を反映した仮ラベリング処理を効率良く実施することができる。

【図面の簡単な説明】

【図1】 本発明が適用される画素処理装置の構成例を示すブロック図である。

【図2】 1次元SIMD型プロセッサの構造の一例を示すブロック図である。

【図3】 本発明の第1実施形態に係る画像処理方法を説明するための模式図であり、(A)は入力画像を、(B)は処理順序をそれぞれ示している。

【図4】 4連結の説明図である。

【図5】 第1実施形態に係る画像処理方法での3番目の処理を模式的に示した図であり、(A)は3番目の処理時の有効画素を、(B)は3番目の処理後の仮ラベル値をそれぞれ示している。

【図6】 第1実施形態に係る画像処理方法での4番目の処理を模式的に示した図であり、(A)は4番目の処理時の有効画素を、(B)は4番目の処理後の仮ラベル値をそれぞれ示している。

【図7】 第1実施形態に係る画像処理方法での5番目の処理を模式的に示した図であり、(A)は5番目の処理時の有効画素を、(B)は5番目の処理後の仮ラベル値をそれぞれ示している。

【図8】 第1実施形態に係る画像処理方法での6番目の処理を模式的に示した図であり、(A)は6番目の処理時の有効画素を、(B)は6番目の処理後の仮ラベル値をそれぞれ示している。

【図9】 第1実施形態に係る画像処理方法での7番目の処理を模式的に示した図であり、(A)は7番目の処理時の有効画素を、(B)は7番目の処理後の仮ラベル値をそれぞれ示している。

【図10】 第1実施形態に係る画像処理方法での8番目の処理を模式的に示した図であり、(A)は8番目の処理時の有効画素を、(B)は8番目の処理後の仮ラベル値をそれぞれ示している。

【図11】 第1実施形態に係る画像処理方法での10番目の処理を模式的に示した図であり、(A)は10番目の処理時の有効画素を、(B)は10番目の処理後の仮ラベル値をそれぞれ示している。

【図12】 第1実施形態に係る画像処理方法における仮ラベリングの最終結果を示す図である。

【図13】 8連結の説明図である。

【図14】 本発明の第1実施形態に係る画像処理方法

を説明するための模式図であり、(A)は入力画像を、(B)は処理順序をそれぞれ示している。

【図15】 第2実施形態における4番目の処理を模式的に示した図であり、(A)は4番目の処理時の有効画素を、(B)は4番目の処理後の仮ラベル値をそれぞれ示している。

【図16】 第2実施形態に係る画像処理方法での6番目の処理を模式的に示した図であり、(A)は6番目の処理時の有効画素を、(B)は6番目の処理後の仮ラベル値をそれぞれ示している。

【図17】 第2実施形態に係る画像処理方法での7番目の処理を模式的に示した図であり、(A)は7番目の処理時の有効画素を、(B)は7番目の処理後の仮ラベル値をそれぞれ示している。

【図18】 第2実施形態に係る画像処理方法での8番目の処理を模式的に示した図であり、(A)は8番目の処理時の有効画素を、(B)は8番目の処理後の仮ラベル値をそれぞれ示している。

【図19】 第2実施形態に係る画像処理方法での9番目の処理を模式的に示した図であり、(A)は9番目の処理時の有効画素を、(B)は9番目の処理後の仮ラベル値をそれぞれ示している。

【図20】 第2実施形態に係る画像処理方法での10番目の処理を模式的に示した図であり、(A)は10番目の処理時の有効画素を、(B)は10番目の処理後の仮ラベル値をそれぞれ示している。

【図21】 第2実施形態に係る画像処理方法での11番目の処理を模式的に示した図であり、(A)は11番目の処理時の有効画素を、(B)は11番目の処理後の仮ラベル値をそれぞれ示している。

【図22】 第2実施形態に係る画像処理方法での12番目の処理を模式的に示した図であり、(A)は12番目の処理時の有効画素を、(B)は12番目の処理後の仮ラベル値をそれぞれ示している。

【図23】 第2実施形態に係る画像処理方法での13番目の処理を模式的に示した図であり、(A)は13番目の処理時の有効画素を、(B)は13番目の処理後の仮ラベル値をそれぞれ示している。

【図24】 第2実施形態に係る画像処理方法での15番目の処理を模式的に示した図であり、(A)は15番目の処理時の有効画素を、(B)は15番目の処理後の仮ラベル値をそれぞれ示している。

【図25】 第2実施形態に係る画像処理方法における仮ラベリングの最終結果を示す図である。

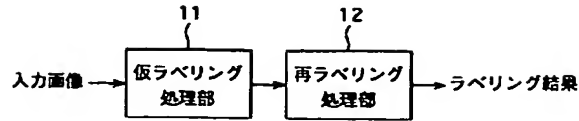
【図26】 ラベリング処理の流れを示す図である。

【符号の説明】

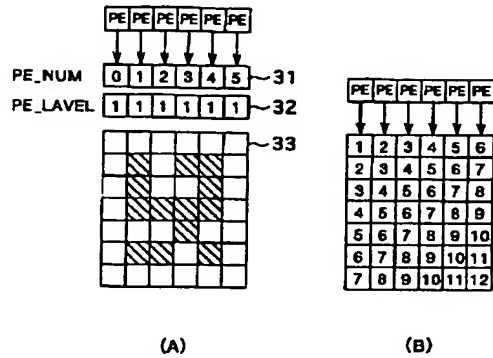
11…仮ラベリング処理部、12…再ラベリング処理部、21…プロセッサエレメント群、22…データ入力レジスタ、23…データ出力レジスタ、31…記憶領域PE\_NUM、32…記憶領域PE\_LABEL、33

…入力画像

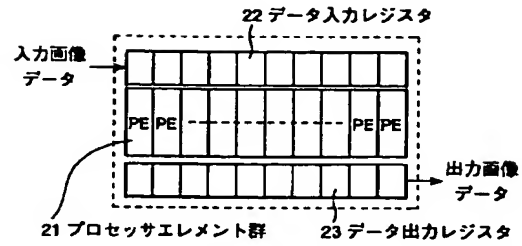
【図1】



【図3】

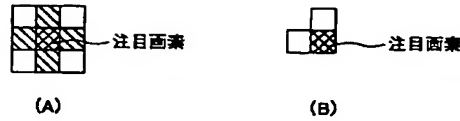


【図2】



【図4】

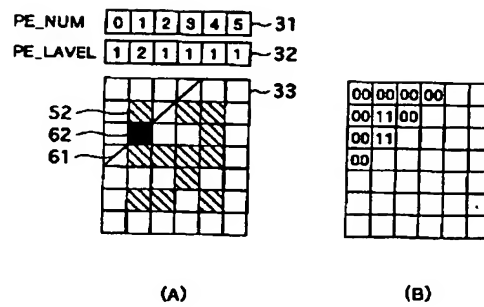
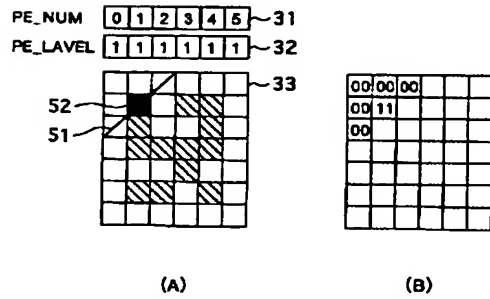
【図12】



同一ラベル情報&lt;11、31&gt;

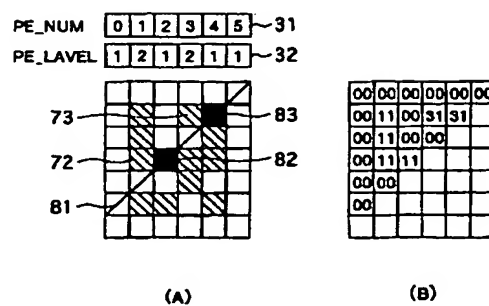
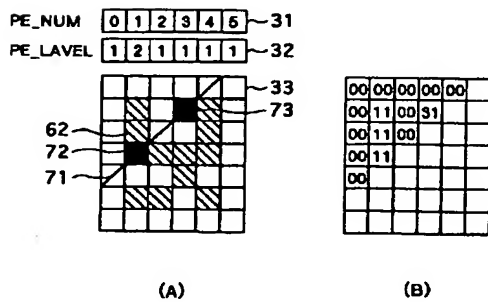
【図5】

【図6】

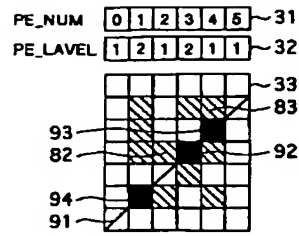


【図7】

【図8】

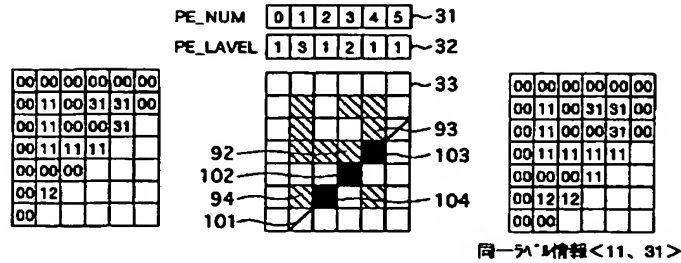


【図9】



(A)

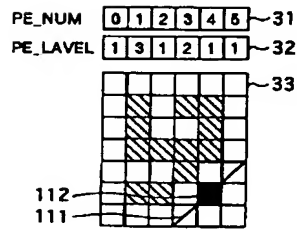
【図10】



(A)

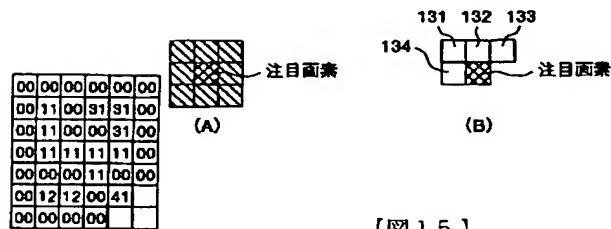
(B)

【図11】



(A)

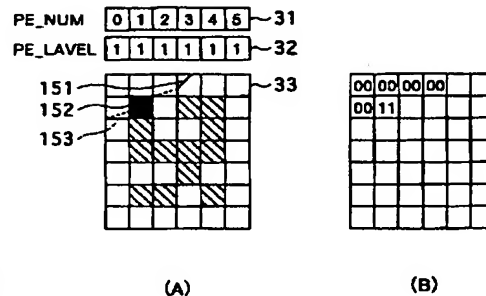
【図13】



(A)

(B)

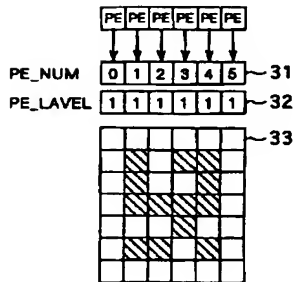
【図15】



(A)

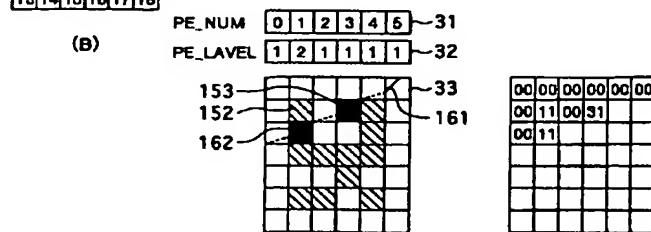
(B)

【図14】



(A)

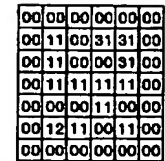
【図16】



(A)

(B)

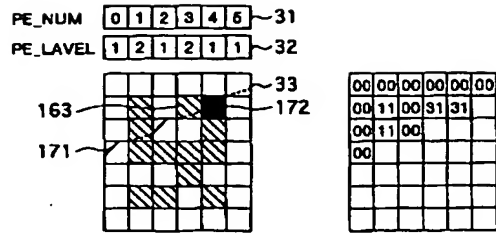
【図25】



同一ラベル情報&lt;11、31&gt;

同一ラベル情報&lt;11、12&gt;

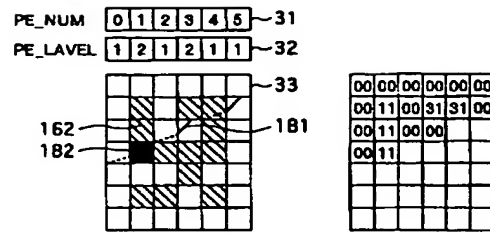
【図17】



(A)

(B)

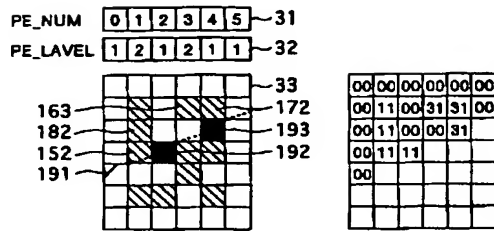
【図18】



(A)

(B)

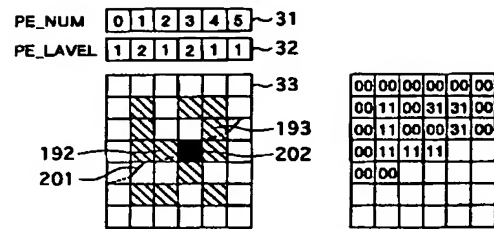
【図19】



(A)

(B)

【図20】

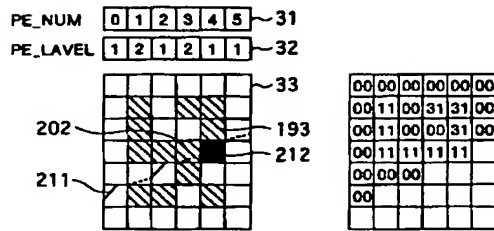


(A)

(B)

同一レベル情報&lt;11、31&gt;

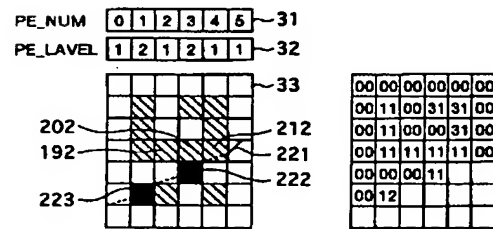
【図21】



(A)

(B)

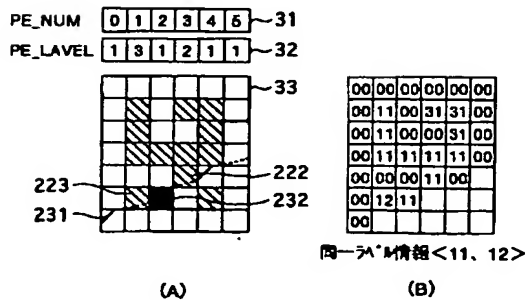
【図22】



(A)

(B)

【図23】

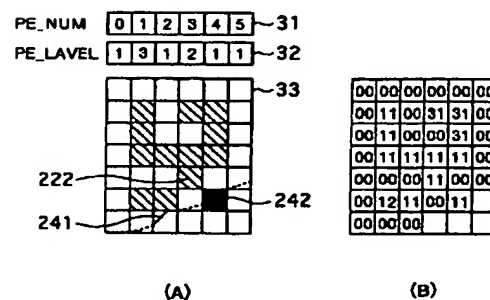


同一レベル情報&lt;11、12&gt;

(A)

(B)

【図24】



(A)

(B)

【図26】

